

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re application of: Yoshihiro TAKAO

Serial Number: Not Yet Assigned

Filed: December 23, 2003

Customer No.: 38834

For: SEMICONDUCTOR DEVICE AND METHOD FOR FABRICATING THE SAME

CLAIM FOR PRIORITY UNDER 35 U.S.C. 119

Commissioner for Patents
P. O. Box 1450
Alexandria, VA 22313-1450

December 23, 2003

Sir:

The benefit of the filing date of the following prior foreign application is hereby requested for the above-identified application, and the priority provided in 35 U.S.C. 119 is hereby claimed:

Japanese Appln. No. 2002-379569, filed on December 27, 2002

In support of this claim, the requisite certified copy of said original foreign application is filed herewith.

It is requested that the file of this application be marked to indicate that the applicant has complied with the requirements of 35 U.S.C. 119 and that the Patent and Trademark Office kindly acknowledge receipt of said certified copy.

In the event that any fees are due in connection with this paper, please charge our Deposit Account No. 50-2866.

Respectfully submitted,
WESTERMAN, HATTORI, DANIELS & ADRIAN, LLP



Scott M. Daniels
Reg. No. 32,562

Atty. Docket No.: 032180
1250 Connecticut Ave, N.W., Suite 700
Washington, D.C. 20036
Tel: (202) 822-1100
Fax: (202) 822-1111
SMD/II

日本国特許庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日 2002年12月27日
Date of Application:

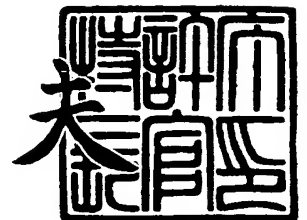
出願番号 特願2002-379569
Application Number:
[ST. 10/C]: [JP 2002-379569]

出願人 富士通株式会社
Applicant(s):

2003年 8月29日

特許庁長官
Commissioner,
Japan Patent Office

今井 康夫



出証番号 出証特2003-3070527



【書類名】 特許願

【整理番号】 0241712

【提出日】 平成14年12月27日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 21/768

【発明の名称】 半導体装置及びその製造方法

【請求項の数】 10

【発明者】

 【住所又は居所】 神奈川県川崎市中原区上小田中 4 丁目 1 番 1 号 富士通株式会社内

 【氏名】 鷹尾 義弘

【特許出願人】

 【識別番号】 000005223

 【氏名又は名称】 富士通株式会社

【代理人】

 【識別番号】 100087479

 【弁理士】

 【氏名又は名称】 北野 好人

【選任した代理人】

 【識別番号】 100114915

 【弁理士】

 【氏名又は名称】 三村 治彦

【手数料の表示】

 【予納台帳番号】 003300

 【納付金額】 21,000円

【提出物件の目録】

 【物件名】 明細書 1

 【物件名】 図面 1

 【物件名】 要約書 1



【包括委任状番号】 0012600

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置及びその製造方法

【特許請求の範囲】

【請求項 1】 半導体基板上に形成された第 1 の絶縁膜と、

前記第 1 の絶縁膜の少なくとも表面側に埋めこまれ、主配線部と、前記主配線部の端部に設けられ、前記主配線部の延在方向に対して垂直方向に延伸する延伸部とを有する配線層と、

前記第 1 の絶縁膜上に形成され、前記配線層の前記端部に達するコンタクトホールが形成された第 2 の絶縁膜と

を有することを特徴とする半導体装置。

【請求項 2】 請求項 1 記載の半導体装置において、

前記延伸部は、前記端部から、前記主配線部の前記延在方向に対して垂直な一方向に延伸して設けられている

ことを特徴とする半導体装置。

【請求項 3】 請求項 1 記載の半導体装置において、

前記延伸部は、前記端部から、前記主配線部の前記延在方向に対して垂直な両方向に延伸して設けられている

ことを特徴とする半導体装置。

【請求項 4】 請求項 1 乃至 3 のいずれか 1 項に記載の半導体装置において

、
前記延伸部の幅は、前記主配線部の幅以下である

ことを特徴とする半導体装置。

【請求項 5】 半導体基板上に形成され、第 1 の方向に延在する第 1 の配線層と、

前記第 1 の配線層が形成された前記半導体基板上に形成された第 1 の絶縁膜と

、
前記第 1 の絶縁膜の少なくとも表面側に埋めこまれ、前記第 1 の方向と交差する第 2 の方向に延在し、前記第 1 の配線層を跨ぐように形成された主配線部と、前記主配線部の端部に設けられ、前記第 1 の方向に延伸する延伸部とを有する第

2の配線層と、

前記第1の絶縁膜上に形成され、前記第2の配線層の前記端部に達するコンタクトホールが形成された第2の絶縁膜と

を有することを特徴とする半導体装置。

【請求項6】 第1の絶縁膜に配線溝を形成する工程と、

前記配線溝に配線層を埋め込む工程と、

前記配線層が埋め込まれた前記第1の絶縁膜上に、第2の絶縁膜を形成する工程と、

前記第2の絶縁膜に、前記配線層の端部に達するコンタクトホールを形成する工程とを有する半導体装置の製造方法であって、

前記配線溝を形成する工程では、前記配線層を形成するための主配線パターンの端部に、前記主配線パターンの延在方向に対して垂直方向に延伸する延伸部を設けたパターンを用い、前記配線溝を形成する

ことを特徴とする半導体装置の製造方法。

【請求項7】 請求項6記載の半導体装置の製造方法において、

前記配線溝を形成する工程では、前記端部から前記主配線パターンの前記延在方向に垂直な一方向に延伸する前記延伸部を有するパターンを用いて前記配線溝を形成する

ことを特徴とする半導体装置の製造方法。

【請求項8】 請求項6記載の半導体装置の製造方法において、

前記配線溝を形成する工程では、前記端部から前記主配線パターンの前記延在方向に垂直な両方向に延伸する前記延伸部を有するパターンを用いて前記配線溝を形成する

ことを特徴とする半導体装置の製造方法。

【請求項9】 請求項6乃至8のいずれか1項に記載の半導体装置の製造方法において、

前記延伸部の長さを、前記主配線パターンの幅の $1/6 \sim 1/2$ とする

ことを特徴とする半導体装置の製造方法。

【請求項10】 請求項6乃至9のいずれか1項に記載の半導体装置の製造

方法において、

前記延伸部の幅は、前記主配線パターンの幅とほぼ等しい
ことを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、半導体装置及びその製造方法に係り、特に、ダマシン配線に接続されるコンタクトを有する半導体装置及びその製造方法に関する。

【0002】

【従来の技術】

半導体装置の大規模高集積化に伴い、配線の設計ルールも世代と共に縮小化されている。従来、配線層は、配線材料を堆積した後、リソグラフィー及びドライエッチングを用いてパターニングすることにより形成されてきたが、世代が進むにつれて技術的な限界が生じ始めている。このため、従来の配線層の形成プロセスに代わる新たな形成プロセスとして、層間絶縁膜に溝パターンやホールパターンを形成した後、この溝やホールに配線材料を埋め込む、いわゆるダマシンプロセスと呼ばれる手法が利用されつつある。

【0003】

ダマシンプロセスは、ドライエッチングが困難な銅などの材料を用いた金属配線層の形成のみならず、シリコン基板やゲート配線に接続される局所配線など、微細な配線層の形成にも適用されている。例えば、特許文献1に記載の半導体装置では、SRAMセル内の局所配線としてダマシン配線が適用されている。

【0004】

【特許文献1】

特開 2002-217316 号公報

【0005】

【発明が解決しようとする課題】

しかしながら、ダマシン配線層上に上層の配線層をコンタクトする場合、コンタクト抵抗の増加や断線などのコンタクト不良が生じることがあった。

【0006】

本発明の目的は、ダマシン配線に接続するコンタクトの接続不良を防止しうる半導体装置及びその製造方法を提供することにある。

【0007】**【課題を解決するための手段】**

本発明の一観点によれば、半導体基板上に形成された第1の絶縁膜と、前記第1の絶縁膜の少なくとも表面側に埋めこまれ、主配線部と、前記主配線部の端部に設けられ、前記主配線部の延在方向に対して垂直方向に延伸する延伸部とを有する配線層と、前記第1の絶縁膜上に形成され、前記配線層の前記端部に達するコンタクトホールが形成された第2の絶縁膜とを有する半導体装置が提供される。

【0008】

また、本発明の他の観点によれば、半導体基板上に形成され、第1の方向に延在する第1の配線層と、前記第1の配線層が形成された前記半導体基板上に形成された第1の絶縁膜と、前記第1の絶縁膜の少なくとも表面側に埋めこまれ、前記第1の方向と交差する第2の方向に延在し、前記第1の配線層に接続された主配線部と、前記主配線部の端部に設けられ、前記第1の方向に延伸する延伸部とを有する第2の配線層と、前記第1の絶縁膜上に形成され、前記第2の配線層の前記端部に達するコンタクトホールが形成された第2の絶縁膜とを有する半導体装置が提供される。

【0009】

また、本発明のさらに他の観点によれば、第1の絶縁膜に配線溝を形成する工程と、前記配線溝に配線層を埋め込む工程と、前記配線層が埋め込まれた前記第1の絶縁膜上に、第2の絶縁膜を形成する工程と、前記第2の絶縁膜に、前記配線層の端部に達するコンタクトホールを形成する工程とを有する半導体装置の製造方法であって、前記配線溝を形成する工程では、前記配線層を形成するための主配線パターンの端部に、前記主配線パターンの延在方向に対して垂直方向に延伸する延伸部を設けたパターンを用い、前記配線溝を形成する半導体装置の製造方法が提供される。

【0010】

【発明の実施の形態】

[本発明の原理]

上述のように、ダマシン配線の端部上に接続されるコンタクトを形成する場合、ダマシン配線と上層配線との間でコンタクト不良が生じることがあった。

【0011】

この原因について本願発明者が鋭意検討を行ったところ、ダマシン配線を埋め込むための配線溝を形成する際のリソグラフィー工程における近接効果が原因していることが判明した。フォトレジスト膜に抜きパターンを形成する場合、残しパターンを形成する場合と比較してパターン端部における近接効果の影響が顕著に現れる。そして、配線溝を形成する際に用いるような溝状の抜きパターンを形成すると、近接効果によってパターン端部の位置が設計パターンの位置よりも後退する。このため、設計パターン上でパターン端部に重なるようにコンタクト領域を配置すると、形成されるパターンの端部がコンタクト領域側に後退し、コンタクト領域が減少する。最悪の場合には、コンタクトが取れなくなることもある。

【0012】

露光時におけるパターンの後退の影響を防止するための手法として、例えば図1(a)に示すように、設計パターン上において、コンタクト領域102よりも外側に配線パターン100を延伸して延伸部104を設けることが考えられる。適切な長さの延伸部104を設けることにより、例えば図1(b)に示すように、出来上がりの配線パターン100'の端部が露光時の近接効果に起因して後退した場合でも、パターン端部がコンタクト領域102'内に達してコンタクト面積が減少することはない。これにより、コンタクト抵抗の増加やコンタクト不良の発生を防止することができる。なお、例えば90nm世代では、例えば幅0.12 μ mの局所配線がA r F露光技術で形成される。この場合、十分なコンタクト面積を確保するためには、ほぼ幅程度の長さの延伸部を設ける必要がある。

【0013】

しかしながら、例えば図1(c)に示すように、ゲート配線106に交差する

ように配置された配線パターン 100 を形成する場合、延伸部 104 を設けた配線パターン 100 を隣接して配置すると、延伸部 104 の分だけゲート配線 106 の間隔を広げてデザインせざるを得ない。この結果、素子の集積度が低下する。

【0014】

そこで、本発明では、図 2 (a) に示すように、配線パターン 100 の延在する方向に対して垂直な方向に延伸部 104 を設ける。配線パターンの延在方向に対して垂直な方向に設けることによっても、露光時の近接効果によるパターン端の後退を補償する効果がある。

【0015】

このような設計パターンを用いて形成した配線パターン 100' は、例えば図 2 (b) に示すように、配線パターン 100' の端部領域の平面形状が、配線パターン 100' の延在方向に垂直な一方向に膨らんだ形状となる。

【0016】

このようにして配線パターンをデザインすることにより、例えば図 2 (c) に示すように、ゲート配線 106 上を跨ぐ配線パターン 100 を形成するような場合であっても、ゲート配線 106 の間隔を広げて配置する必要はない。したがって、素子の集積度を犠牲にすることなくコンタクト不良を防止することができる。

【0017】

延伸部は、図 2 (a) に示すように一方向に延在するように形成してもよいし、図 3 (a) に示すように二方向に延在するように形成してもよい。図 3 (a) に示すパターンを適用する場合によっても、配線パターン 100 の端部における後退を補償することができる。なお、図 3 (a) に示すような配線パターン 100 を用いて形成した配線パターン 100' は、例えば図 3 (b) に示すように、配線パターン 100' の端部の形状が、配線パターン 100' の延在方向に垂直な二方向に膨らんだ形状となる。

【0018】

また、延伸部 104 の幅は、配線パターン 100 の幅と同程度であることが望

ましい。延伸部104の幅を太くしすぎると、隣接する配線層との間の耐圧劣化を生じる虞があるからである。なお、延伸部104の幅を配線パターン100の幅とほぼ等しくした場合、配線パターン100'の端部領域の膨らみ部分の長さは、配線パターン100'の幅以下となる。

【0019】

図4乃至図6は、ダマシン配線に接続するコンタクトが1000個直列接続されてなるコンタクトチェーンの抵抗値の測定結果を累積度数分布に表したグラフである。図4は延伸部をダマシン配線の延在方向に延伸して設けた場合（以下、このような延伸部を設けた形状を「I字形」と呼ぶ。）、図5は延伸部をダマシン配線の延在する方向に対して垂直な一方向に延伸して設けた場合（以下、このような延伸部を設けた形状を「L字形」と呼ぶ。）、図6は延伸部をダマシン配線の延在する方向に対して垂直な二方向に延伸して設けた場合（以下、このような延伸部を設けた形状を「T字形」と呼ぶ。）である。なお、ダマシン配線の幅は $0.12\mu\text{m}$ である。

【0020】

図4において、○印は延伸部の長さを $0.11\mu\text{m}$ とした場合、□印は延伸部の長さを $0.06\mu\text{m}$ とした場合、◇印は延伸部を設けない場合である。

【0021】

図示するように、端部に延伸部を設けることにより抵抗値が減少していることが判る。これは、延伸部を設けることによりパターン端部の後退が補償されていることを意味している。また、延伸部を長くするほどに抵抗値が減少しており、延伸部の増加に伴ってコンタクト面積が増加していることが判る。

【0022】

図5において、□印は延伸部の長さを $0.02\mu\text{m}$ とした場合、◇印は延伸部の長さを $0.04\mu\text{m}$ とした場合、×印は延伸部の長さを $0.06\mu\text{m}$ とした場合である。なお、○印は延伸部をダマシン配線の延在方向に $0.11\mu\text{m}$ 延伸して設けた場合であり、図4の○印に相当する。

【0023】

図示するように、L字形に $0.02\mu\text{m}$ の延伸部を設けることにより、延伸部

を設けない場合（図4の◇印）と比較して、抵抗値を僅かに減少することができる。また、L字形に $0.04\mu\text{m}$ の延伸部を設けることにより抵抗値は更に減少し、I字形に $0.11\mu\text{m}$ の延伸部を設けた場合とほぼ同等の抵抗値を得ることができる。また、L字形に $0.06\mu\text{m}$ の延伸部を設けることにより、抵抗値を更に減少することができる。このように、L字形に延伸部を設ける効果は、I字形に延伸部を設ける効果よりも大きい。

【0024】

図6において、□印は延伸部の長さを両側それぞれ $0.02\mu\text{m}$ とした場合、◇印は延伸部の長さを両側それぞれ $0.04\mu\text{m}$ とした場合、×印は延伸部の長さを両側それぞれ $0.06\mu\text{m}$ とした場合である。なお、○印は伸部をダマシン配線の延在方向に $0.11\mu\text{m}$ 延伸して設けた場合であり、図4の○印に相当する。

【0025】

図示するように、T字形の延伸部を設けた場合にもL字形の延伸部を設けた場合と同様に、 $0.02\mu\text{m}$ 以上の延伸部を設けることにより、延伸部を設けない場合（図4の◇印）と比較して、抵抗値を減少することができる。

【0026】

上記測定結果から、延伸部の長さは、少なくとも配線幅の約 $1/6$ 程度以上、より好ましくは約 $1/3$ 程度以上の長さに設定することが望ましい。延伸部の長さの上限は、配線幅の約 $1/2$ 程度の長さに設定することが望ましい。延伸部が長すぎると配線の密配置を妨げる虞があるからである。但し、延伸部の長さの上限は、隣接パターンとの間隔に応じて適宜設定することができる。

【0027】

また、L字形の延伸部を設けるかT字形の延伸部を設けるかについても、隣接するパターンとの関係に応じて適宜選択することができる。例えば、T字形の延伸部を設けた配線パターン100を図7（a）に示すように隣接して設けた場合、配線パターン100の最小間隔が非常に狭くなり（図の点線部）、耐圧マージンが低下することがある。このような場合、図7（b）に示すようにL字形の延伸部を設けた配線パターン100とすれば、配線パターン100間のピッチを変

えることなくパターン間隙を広げることができる。

【0028】

このように、延伸部を配線パターンの延在する方向に対して垂直な方向に延伸することにより、配線パターンの延在方向に延伸する場合よりも短い延伸部で同等のコンタクト抵抗を実現することができる。したがって、素子の集積度劣化を抑制しつつ、コンタクト不良を防止することができる。

【0029】

[実施形態]

本発明の一実施形態による半導体装置及びその製造方法について図8乃至図12を用いて説明する。

【0030】

図8は本実施形態による半導体装置の構造を示す平面図、図9は本実施形態による半導体装置の構造を示す概略断面図、図10乃至図13は本実施形態による半導体装置の製造方法を示す工程断面図である。

【0031】

はじめに、本実施形態による半導体装置の構造について図8及び図9を用いて説明する。なお、図8は、設計デザイン上における半導体装置の平面パターンである。また、図9は、図8のA-A'線に沿った概略断面図である。

【0032】

シリコン基板10上には、素子分離膜12が形成されている。これにより、N型トランジスタの形成領域である素子領域14nと、P型トランジスタの形成領域である素子領域14pとが画定されている。

【0033】

素子領域14n、14p上には、ゲート絶縁膜20を介してゲート電極22が形成されている。素子領域14n、14p上には、それぞれ2つゲート電極22が形成されている。そして、素子領域14n上に形成されたゲート電極22と素子領域14p上に形成されたゲート電極22とは、連続する一のパターンにより形成されている。また、ゲート電極22の両側のシリコン基板10には、ソース／ドレイン領域がそれぞれ形成されている。こうして、素子領域14n上に形成

された2つのN型トランジスタと、素子領域14p上に形成された2つのP型トランジスタが構成されている。

【0034】

トランジスタが形成されたシリコン基板10上には、層間絶縁膜30が形成されている。層間絶縁膜30には、素子領域14n, 14pに達するコンタクトホール32と、ゲート電極22に接続される局所配線を埋め込むための配線溝34とが形成されている。コンタクトホール32内には、素子領域14n又は素子領域14pに接続されたコンタクトプラグ36が埋め込まれている。配線溝34内には、ゲート電極22に電氣的に接続された局所配線38が埋め込まれている。

【0035】

コンタクトプラグ36及び局所配線38が埋め込まれた層間絶縁膜30上には、層間絶縁膜40が形成されている。層間絶縁膜40には、コンタクトホール42が形成されている。コンタクトホール42内には、コンタクトプラグ36又は局所配線38に電氣的に接続されたコンタクトプラグ44が埋め込まれている。

【0036】

コンタクトプラグ44が埋め込まれた層間絶縁膜40上には、層間絶縁膜46が形成されている。層間絶縁膜46には、配線溝48が形成されている。配線溝48には、銅を主体とする導電層よりなる配線層54が埋め込まれている。

【0037】

こうして、配線層54a, 54bを2つの入力端子、配線層54cを出力端子、配線層54d, 54eを電源端子、配線層54fをアース端子とする2入力NAND回路が構成されている。

【0038】

ここで、本実施形態による半導体装置は、図8に示すように、局所配線の設計デザイン上におけるパターン端部に、局所配線の延在方向に垂直な方向に延伸する延伸部が設けられていることに特徴がある。このようにして設計パターンに延伸部を設けることにより、露光時の近接効果によるパターン端部の後退を補償することができ、局所配線と配線層との間のコンタクト信頼性を向上することができる。また、局所配線に交差するゲート配線と並行に延伸部を設けるので、ゲ-

ト配線の間隔を広げることなく所期の目的を達成することができる。

【0039】

次に、本実施形態による半導体装置の製造方法について図8乃至図12を用いて説明する。なお、図9及び図10は図8のA-A'線に沿った工程断面図であり、図11及び図12は図8のB-B'線に沿った工程断面図である。

【0040】

まず、P型シリコン基板10に、例えばSTI (Shallow Trench Isolation) 法により、シリコン基板10に埋め込まれた素子分離膜12を形成する。例えば、フォトリソグラフィー及びドライエッチングにより、シリコン基板10に深さ300nmのトレンチを形成する。次いで、CVD法により、例えば膜厚500nmのシリコン酸化膜を堆積する。次いで、例えばCMP (化学的機械的研磨: Chemical Mechanical Polishing) 法によりこのシリコン酸化膜を研磨し、このシリコン酸化膜をトレンチ内に選択的に残存させることにより、トレンチに埋め込まれたシリコン酸化膜よりなる素子分離膜12を形成する。

【0041】

これにより、素子分離膜12によってN型トランジスタの形成領域である素子領域14nと、P型トランジスタの形成領域である素子領域14pとが画定される。

【0042】

次いで、素子領域14nを含むPウェル形成領域を露出するフォトレジスト膜を形成した後、このフォトレジスト膜をマスクとして、例えばボロンイオン (B^+) を、加速エネルギー300keV、ドーズ量 $3 \times 10^{13} \text{ cm}^{-2}$ の条件でイオン注入する。また、素子領域14pを含むNウェル形成領域を露出するフォトレジスト膜を形成した後、このフォトレジスト膜をマスクとして、例えばリンイオン (P^+) を、加速エネルギー600keV、ドーズ量 $3 \times 10^{13} \text{ cm}^{-2}$ の条件でイオン注入する。こうして、素子領域14nを含む領域にPウェル (図示せず) を形成し、素子領域14pを含む領域にNウェル18を形成する (図9(a)、図11(a))。

【0043】

次いで、熱酸化により、素子領域 14 n, 14 p のシリコン基板 10 上に、例えば膜厚 4 nm のシリコン酸化膜を形成する。こうして、シリコン酸化膜よりなるゲート絶縁膜 20 を形成する。

【0044】

次いで、ゲート絶縁膜 20 上に、例えば膜厚 180 nm のポリシリコン膜を堆積する。

【0045】

次いで、フォトリソグラフィー及びドライエッチングによりこのポリシリコン膜をパターニングし、ポリシリコン膜よりなるゲート電極 22 を形成する。ゲート電極 22 は、図 8 に示すように、素子領域 14 n, 14 p 上を連続して延在する直線状のパターンを有し、2つのゲート電極 22 が並行に配置される。

【0046】

次いで、素子領域 14 n を露出するフォトレジスト膜を形成した後、このフォトレジスト膜及びゲート電極 22 をマスクとして、例えば砒素イオン (As^+) を、加速エネルギー 5 keV、ドーズ量 $8 \times 10^{14} \text{ cm}^{-2}$ の条件でイオン注入する。こうして、素子領域 14 n 内のシリコン基板 10 中に、N 型トランジスタの LDD 領域を形成する。

【0047】

次いで、素子領域 14 p を露出するフォトレジスト膜を形成した後、このフォトレジスト膜及びゲート電極 22 をマスクとして、例えばボロンイオンを、加速エネルギー 0.5 keV、ドーズ量 $8 \times 10^{14} \text{ cm}^{-2}$ の条件でイオン注入する。こうして、素子領域 14 p 内のシリコン基板 10 中に、P 型トランジスタの LDD 領域を形成する。

【0048】

次いで、例えば CVD 法により、例えば膜厚 10 nm のシリコン酸化膜と、例えば膜厚 100 nm のシリコン窒化膜を形成する。

【0049】

次いで、このシリコン窒化膜及びシリコン酸化膜をエッチバックし、ゲート電極 22 の側壁部分にシリコン酸化膜及びシリコン窒化膜よりなる側壁絶縁膜 24

を形成する。

【0050】

次いで、素子領域14nを露出するフォトレジスト膜を形成した後、このフォトレジスト膜、ゲート電極22及び側壁絶縁膜24をマスクとして、例えばリンイオンを、加速エネルギー15keV、ドーズ量 $1 \times 10^{15} \text{ cm}^{-2}$ の条件でイオン注入する。こうして、素子領域14n内のシリコン基板10中に、N型トランジスタのソース／ドレイン領域（図示せず）を形成する。

【0051】

次いで、素子領域14pを露出するフォトレジスト膜を形成した後、このフォトレジスト膜、ゲート電極22及び側壁絶縁膜24をマスクとして、例えばボロンイオンを、加速エネルギー5keV、ドーズ量 $1 \times 10^{15} \text{ cm}^{-2}$ の条件でイオン注入する。こうして、素子領域14p内のシリコン基板10中に、P型トランジスタのソース／ドレイン領域26を形成する。

【0052】

次いで、窒素雰囲気中で、例えば1000℃10秒間の熱処理を行い、注入した不純物を活性化し、N型トランジスタ及びP型トランジスタを完成する。

【0053】

次いで、サリサイドプロセスにより、素子領域14n、14p及びゲート電極22のシリコン露出面に、コバルトシリサイド膜28を選択的に形成する（図9（b）、図11（b））。例えば、全面に、例えば膜厚10nmのコバルト膜を堆積し、熱処理を行いシリコン露出面において局所的にシリサイド化を行い、未反応のコバルト膜を除去することにより、コバルトシリサイド膜28を選択的に形成する。

【0054】

次いで、全面に、例えばCVD法により、例えば膜厚1000nmのシリコン酸化膜を堆積する。

【0055】

次いで、例えばCMP法により、このシリコン酸化膜を平坦化し、シリコン酸化膜よりなり表面が平坦化された層間絶縁膜30を形成する。

【0056】

次いで、リソグラフィー及びドライエッチングにより、層間絶縁膜 30 に、ソース／ドレイン領域 28 等に接続されるコンタクトプラグ 36 を形成するためのコンタクトホール 32 及びゲート電極 22 に接続される局所配線 38 を形成するための配線溝 34 を形成する。配線溝 34 の幅は、例えば 120 nm とする。

【0057】

配線溝 34 を形成する際には、図 8 に示すように、配線の長手方向に対して垂直方向に延在する延伸部を有する設計パターンを用いる。延伸部の長さは、例えば配線幅の 1/3 である 40 nm とする。延伸部をゲート電極 22 と並行に配置することにより、ゲート電極 22 間の間隔を広げることなく延伸部を設けることができる。また、延伸部を設けることにより、パターン端部の後退を補償することができる。

【0058】

なお、設計デザインにおいて十分な端点余裕を確保できる領域では、延在部は必ずしも配線の長手方向に対して垂直方向に延在させる必要はなく、配線の長手方向に沿って延在部を設けるようにしてもよい。また、T 字形の延伸部を設けるようにしてもよい。

【0059】

次いで、例えば CVD 法により、例えば膜厚 10 nm のチタン (Ti) 膜と、例えば膜厚 20 nm の窒化チタン (TiN) 膜と、例えば膜厚 300 nm のタンゲステン (W) 膜とを堆積する。

【0060】

次いで、例えば CMP 法により、タンゲステン膜、窒化チタン膜及びチタン膜を、層間絶縁膜 28 の表面が露出するまで平坦に除去する。こうして、コンタクトホール 32 に埋め込まれたコンタクトプラグ 36 及び配線溝 34 に埋め込まれた局所配線 38 を形成する (図 9 (c)、図 11 (c))。

【0061】

次いで、配線層 32 及びコンタクトプラグ 34 が埋め込まれた層間絶縁膜 28 上に、例えば CVD 法により、例えば膜厚 300 nm のシリコン酸化膜を形成し

、シリコン酸化膜よりなる層間絶縁膜 40 を形成する。

【0062】

次いで、フォトリソグラフィー及びドライエッチングにより、層間絶縁膜 40 に、コンタクトプラグ 36 及び局所配線 38 に達するコンタクトホール 42 を形成する。コンタクトホール 42 は、図 8 に示すように、設計デザイン上において、その幅を配線層 32 の幅よりも広い 140 nm とし、配線層 32 の端部が覆われる形状とする。

【0063】

次いで、例えば CVD 法により、例えば膜厚 10 nm のチタン (Ti) 膜と、例えば膜厚 20 nm の窒化チタン (TiN) 膜と、例えば膜厚 300 nm のタングステン (W) 膜とを堆積する。

【0064】

次いで、例えば CMP 法により、タングステン膜、窒化チタン膜及びチタン膜を、層間絶縁膜 40 の表面が露出するまで平坦に除去する。こうして、コンタクトホール 42 に埋め込まれたコンタクトプラグ 44 を形成する (図 10 (a)、図 12 (a))。

【0065】

次いで、コンタクトプラグ 44 が埋め込まれた層間絶縁膜 40 上に、例えば CVD 法により、例えば膜厚 300 nm のシリコン酸化膜を形成し、シリコン酸化膜よりなる層間絶縁膜 46 を形成する。

【0066】

次いで、リソグラフィー及びドライエッチングにより、層間絶縁膜 46 に、配線溝 48 を形成する。

【0067】

次いで、例えば CVD 法により、例えば膜厚 50 nm の窒化タンタル (Ta₂N₅) 膜を形成し、窒化タンタル膜よりなるバリアメタル 50 を形成する。

【0068】

次いで、バリアメタル 50 上に、例えばメッキ法により、例えば膜厚 1000 nm の銅 (Cu) 膜 52 を形成する。

【0069】

次いで、例えばCMP法により、層間絶縁膜46の表面が露出するまで銅膜48及びバリアメタル46を平坦に除去し、配線溝48に埋め込まれた配線層54を形成する。

【0070】

このように、本実施形態によれば、ゲート電極に接続される局所配線の形成に際し、局所配線が埋め込まれる配線溝を、配線パターンの端部にその延在方向に対して垂直方向に延伸する延伸部を設けた設計パターンを用いて形成するので、露光時の近接効果によるパターン端部の後退を効果的に抑制しつつ配線溝を形成することができる。これにより、局所配線の端部に接続される上層配線層との間のコンタクト信頼性を向上することができる。

【0071】**[変形実施形態]**

本発明は上記実施形態に限らず種々の変形が可能である。

【0072】

例えば、上記実施形態では、2入力NAND回路を有する半導体装置に本発明を適用した例を示したが、本発明を適用しうるデバイスはこれに限定されるものではない。本発明は、ダマシン配線層に接続されるコンタクトを有する半導体装置に広く適用することができる。

【0073】

また、上記実施形態では、ゲート配線に接続される局所配線に本発明を適用した場合を説明したが、本発明はこのような局所配線に限定されるものではなく、ダマシン配線に広く適用することができる。例えば、ゲート電極と絶縁された局所配線の形成過程に本発明を適用してもよい。また、ゲート電極をダマシン法により形成したダマシントランジスタにおいて、ゲート電極の形成過程に本発明を適用するようにしてもよい。或いは、上層の金属配線をダマシン配線により形成する場合に適用するようにしてもよい。

【0074】

以上詳述した通り、本発明の特徴をまとめると以下の通りとなる。

【0075】

(付記1) 半導体基板上に形成された第1の絶縁膜と、
前記第1の絶縁膜の少なくとも表面側に埋めこまれ、主配線部と、前記主配線部の端部に設けられ、前記主配線部の延在方向に対して垂直方向に延伸する延伸部とを有する配線層と、
前記第1の絶縁膜上に形成され、前記配線層の前記端部に達するコンタクトホールが形成された第2の絶縁膜と
を有することを特徴とする半導体装置。

【0076】

(付記2) 付記1記載の半導体装置において、
前記延伸部は、前記端部から、前記主配線部の前記延在方向に対して垂直な一方向に延伸して設けられている
ことを特徴とする半導体装置。

【0077】

(付記3) 付記1記載の半導体装置において、
前記延伸部は、前記端部から、前記主配線部の前記延在方向に対して垂直な両方向に延伸して設けられている
ことを特徴とする半導体装置。

【0078】

(付記4) 付記1乃至3のいずれか1項に記載の半導体装置において、
前記延伸部の幅は、前記主配線部の幅以下である
ことを特徴とする半導体装置。

【0079】

(付記5) 付記1乃至4のいずれか1項に記載の半導体装置において、
前記コンタクトホールの最小幅は、前記配線層の最小幅よりも広い
ことを特徴とする半導体装置。

【0080】

(付記6) 半導体基板上に形成され、第1の方向に延在する第1の配線層と

前記第 1 の配線層が形成された前記半導体基板上に形成された第 1 の絶縁膜と

、
前記第 1 の絶縁膜の少なくとも表面側に埋めこまれ、前記第 1 の方向と交差する第 2 の方向に延在し、前記第 1 の配線層を跨ぐように形成された主配線部と、前記主配線部の端部に設けられ、前記第 1 の方向に延伸する延伸部とを有する第 2 の配線層と、

前記第 1 の絶縁膜上に形成され、前記第 2 の配線層の前記端部に達するコンタクトホールが形成された第 2 の絶縁膜と
を有することを特徴とする半導体装置。

【0081】

(付記 7) 付記 6 記載の半導体装置において、
前記第 2 の配線層は、前記第 1 の配線層に電氣的に接続されている
ことを特徴とする半導体装置。

【0082】

(付記 8) 付記 6 記載の半導体装置において、
前記第 2 の配線層は、前記第 1 の配線層と絶縁されている
ことを特徴とする半導体装置。

【0083】

(付記 9) 第 1 の絶縁膜に配線溝を形成する工程と、
前記配線溝に配線層を埋め込む工程と、
前記配線層が埋め込まれた前記第 1 の絶縁膜上に、第 2 の絶縁膜を形成する工程と、

前記第 2 の絶縁膜に、前記配線層の端部に達するコンタクトホールを形成する工程とを有する半導体装置の製造方法であって、

前記配線溝を形成する工程では、前記配線層を形成するための主配線パターンの端部に、前記主配線パターンの延在方向に対して垂直方向に延伸する延伸部を設けたパターンを用い、前記配線溝を形成する

ことを特徴とする半導体装置の製造方法。

【0084】

(付記 10) 付記 9 記載の半導体装置の製造方法において、
前記配線溝を形成する工程では、前記端部から前記主配線パターンの前記延在
方向に垂直な一方向に延伸する前記延伸部を有するパターンを用いて前記配線溝
を形成する

ことを特徴とする半導体装置の製造方法。

【0085】

(付記 11) 付記 9 記載の半導体装置の製造方法において、
前記配線溝を形成する工程では、前記端部から前記主配線パターンの前記延在
方向に垂直な両方向に延伸する前記延伸部を有するパターンを用いて前記配線溝
を形成する

ことを特徴とする半導体装置の製造方法。

【0086】

(付記 12) 付記 9 乃至 11 のいずれか 1 項に記載の半導体装置の製造方法
において、

前記延伸部の長さを、前記主配線パターンの幅の $1/6 \sim 1/2$ とする

ことを特徴とする半導体装置の製造方法。

【0087】

(付記 13) 付記 9 乃至 12 のいずれか 1 項に記載の半導体装置の製造方法
において、

前記延伸部の幅は、前記主配線パターンの幅とほぼ等しい

ことを特徴とする半導体装置の製造方法。

【0088】

(付記 14) 付記 9 乃至 13 のいずれか 1 項に記載の半導体装置の製造方法
において、

前記コンタクトホール of 最小幅は、前記主配線パターンの最小幅よりも広い

ことを特徴とする半導体装置の製造方法。

【0089】

【発明の効果】

以上の通り、本発明によれば、絶縁膜に埋め込まれた配線層の形成に際し、配

線層が埋め込まれる配線溝を、配線パターンの端部にその延在方向に対して垂直方向に延伸する延伸部を設けた設計パターンを用いて形成するので、露光時の近接効果によるパターン端部の後退を効果的に抑制しつつ配線溝を形成することができる。これにより、局所配線の端部に接続される上層配線層との間のコンタクト信頼性を向上することができる。

【図面の簡単な説明】

【図 1】

配線パターンの延在方向に延伸する延伸部を設ける効果及び課題を説明する図である。

【図 2】

配線パターンの延在方向に垂直な一方向に延伸する延伸部を設ける効果を説明する図である。

【図 3】

配線パターンの延在方向に垂直な二方向に延伸する延伸部を設ける効果を説明する図である。

【図 4】

配線パターンの延在方向に延伸する延伸部を設けた場合における延伸部の長さ
とコンタクト抵抗との関係を示すグラフである。

【図 5】

配線パターンの延在方向に垂直な一方向に延伸する延伸部を設けた場合における延伸部の長さ
とコンタクト抵抗との関係を示すグラフである。

【図 6】

配線パターンの延在方向に垂直な二方向に延伸する延伸部を設けた場合における延伸部の長さ
とコンタクト抵抗との関係を示すグラフである。

【図 7】

延伸部の配置方法の違いによるパターン間隔への影響の一例を示す図である。

【図 8】

本発明の一実施形態による半導体装置の構造を示す平面図である。

【図 9】

本発明の一実施形態による半導体装置の構造を示す概略断面図である。

【図 10】

本発明の一実施形態による半導体装置の製造方法を示す工程断面図（その 1）である。

【図 11】

本発明の一実施形態による半導体装置の製造方法を示す工程断面図（その 2）である。

【図 12】

本発明の一実施形態による半導体装置の製造方法を示す工程断面図（その 3）である。

【図 13】

本発明の一実施形態による半導体装置の製造方法を示す工程断面図（その 4）である。

【符号の説明】

- 10…シリコン基板
- 12…素子分離膜
- 14…素子領域
- 18…P ウェル
- 20…ゲート絶縁膜
- 22…ゲート電極
- 24…側壁絶縁膜
- 26…ソース／ドレイン領域
- 28…コバルトシリサイド膜
- 30, 40, 46…層間絶縁膜
- 32, 42, 48…コンタクトホール
- 34…配線溝
- 36, 44…コンタクトプラグ
- 38…局所配線
- 50…バリアメタル

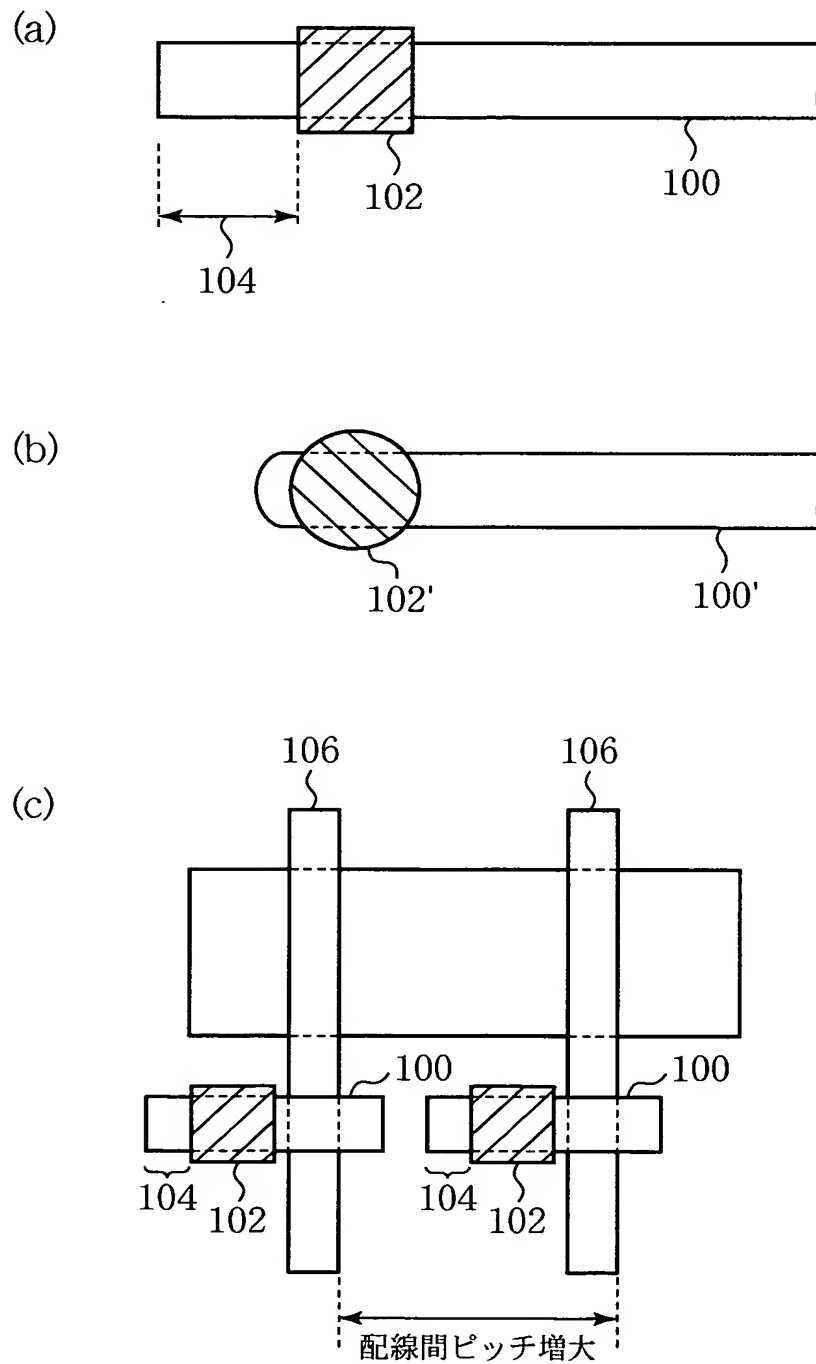
5 2 …銅膜

5 4 …配線層

【書類名】 図面

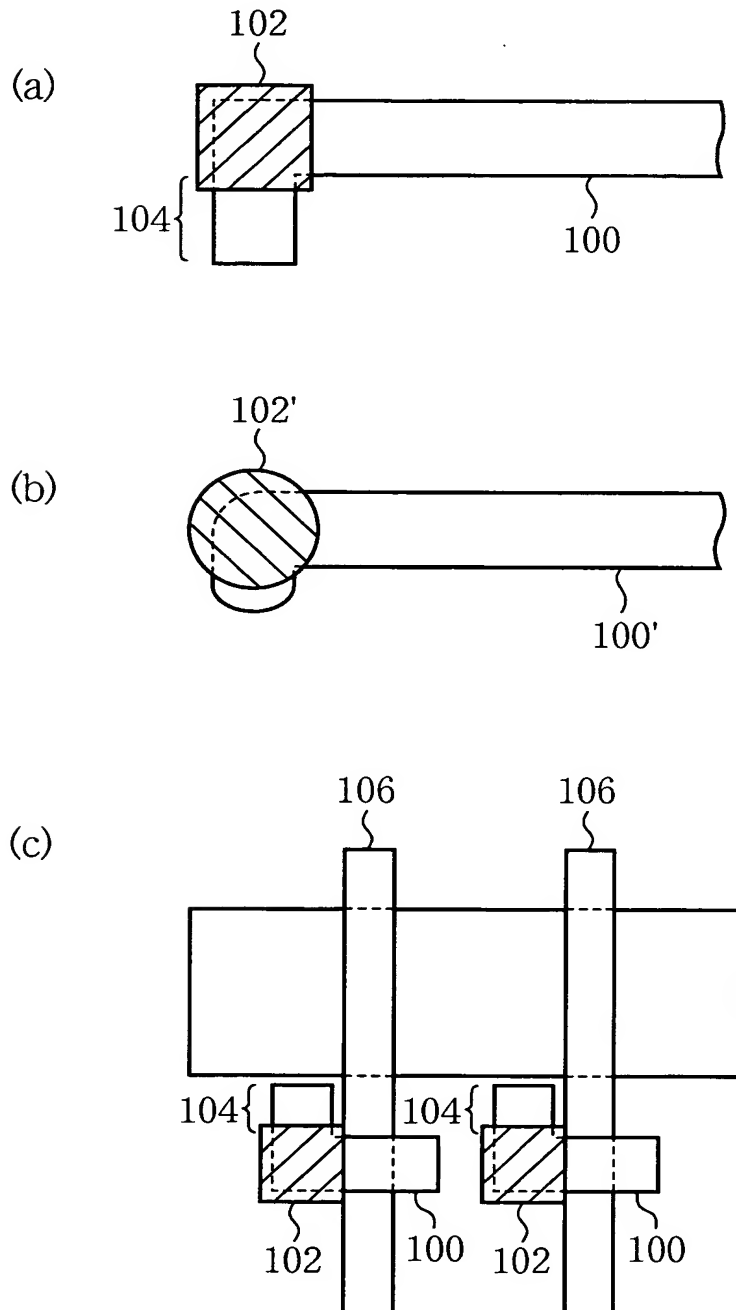
【図 1】

配線パターンの延在方向に延伸する延伸部を設けた場合の
効果及び課題を説明する図



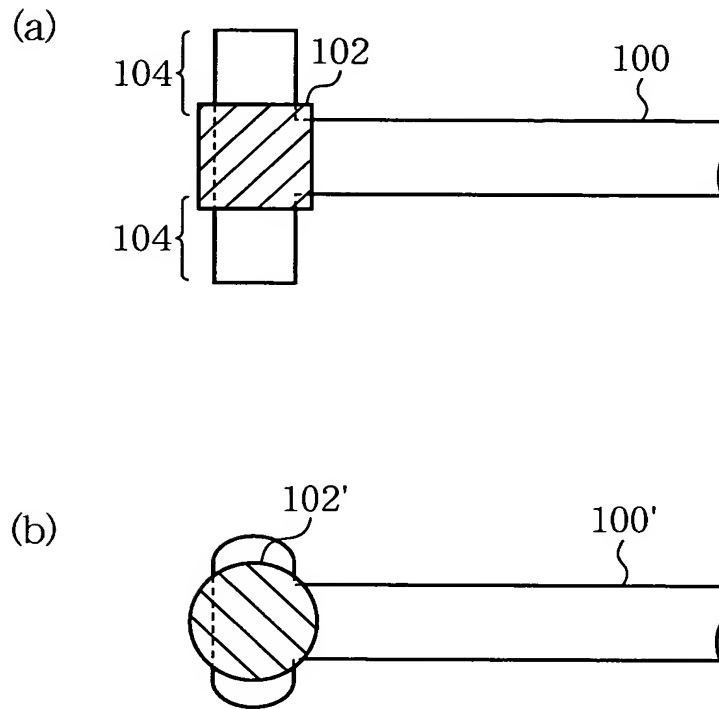
【図 2】

配線パターンの延在方向に垂直な一方向に延伸する
延伸部を設けた場合の効果の説明する図



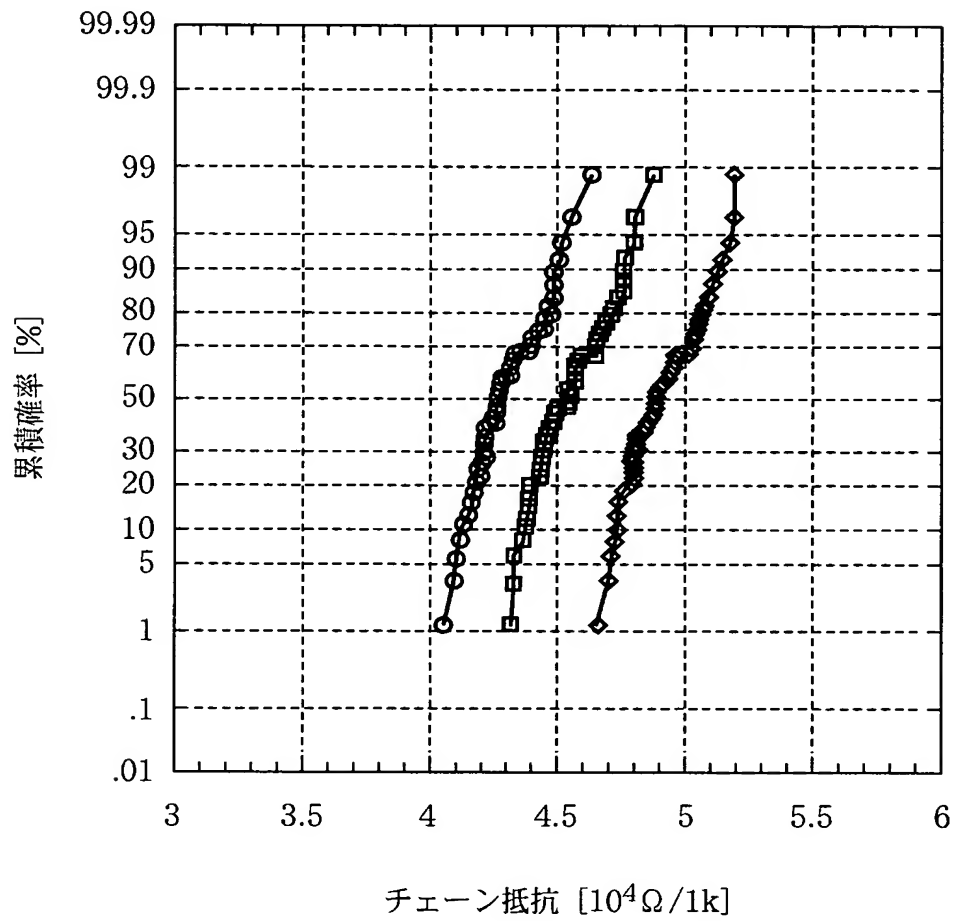
【図 3】

配線パターンの延在方向に垂直な二方向に延伸する
延伸部を設けた場合の効果を説明する図



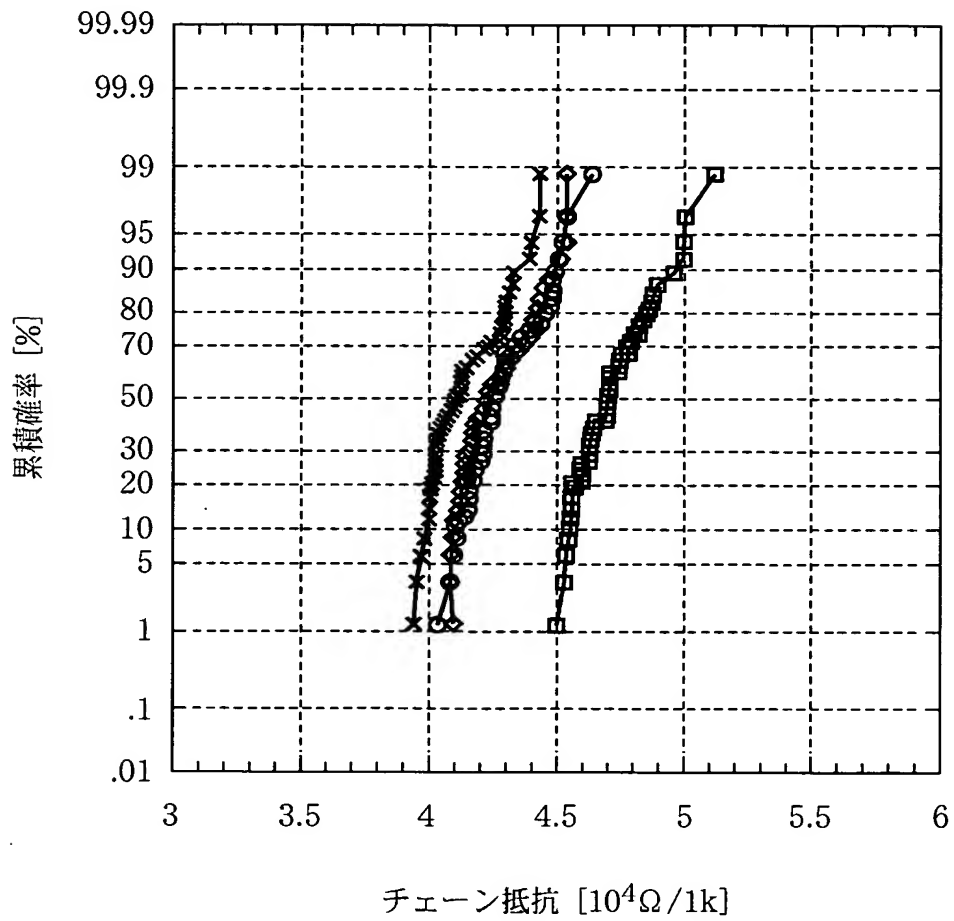
【図 4】

I字形に延伸部を設けた場合における
延伸部の長さとコンタクト抵抗との関係を示すグラフ



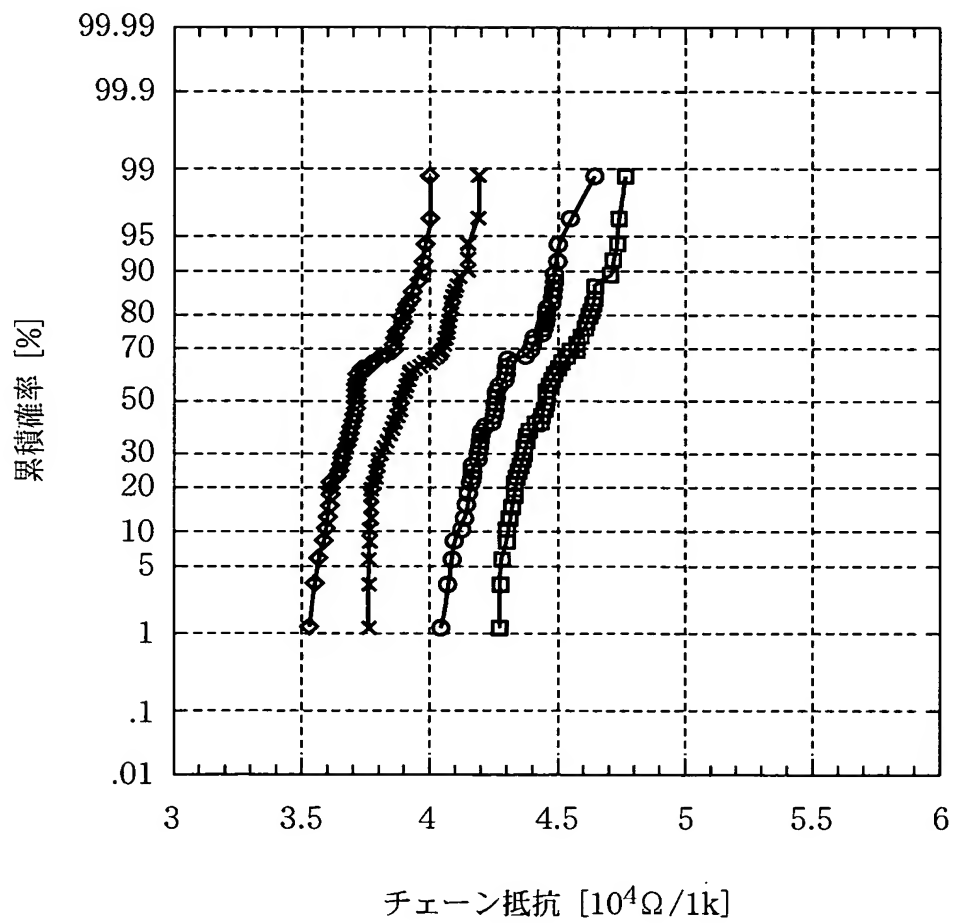
【図 5】

L字形に延伸部を設けた場合における
延伸部の長さでコンタクト抵抗との関係を示すグラフ



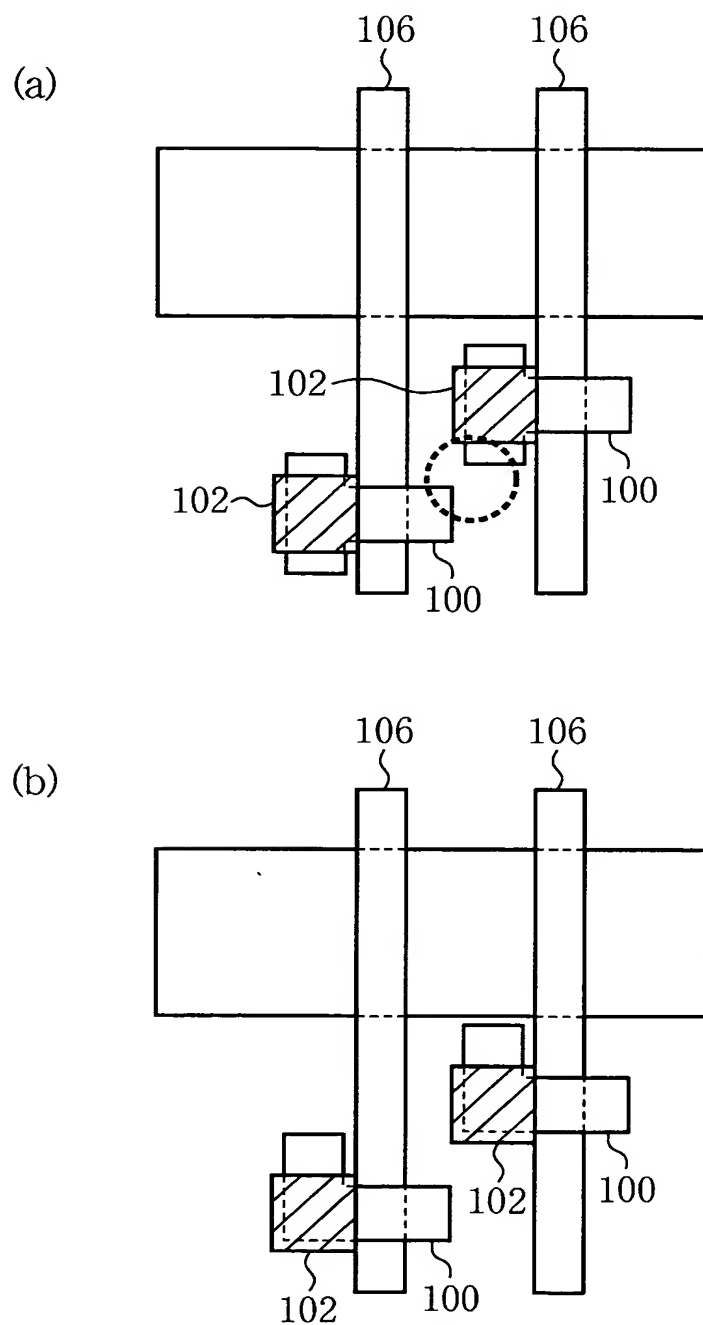
【図6】

T字形に延伸部を設けた場合における
延伸部の長さでコンタクト抵抗との関係を示すグラフ



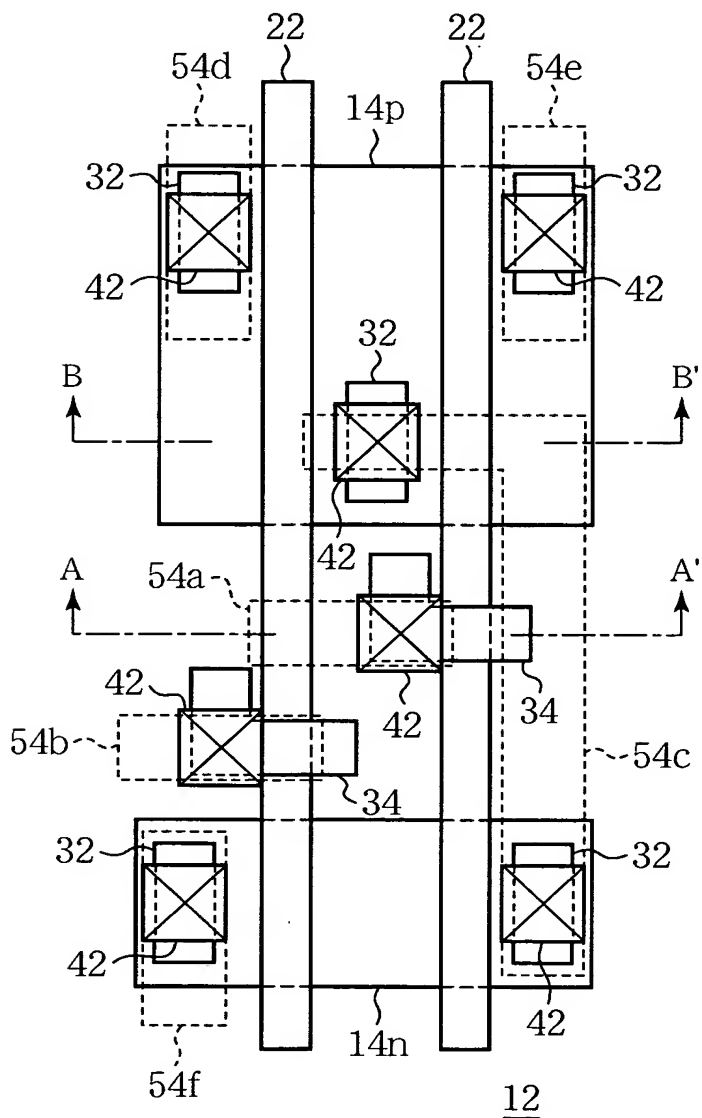
【図 7】

延伸部の配置方法の違いによるパターン間隔への影響を示す図



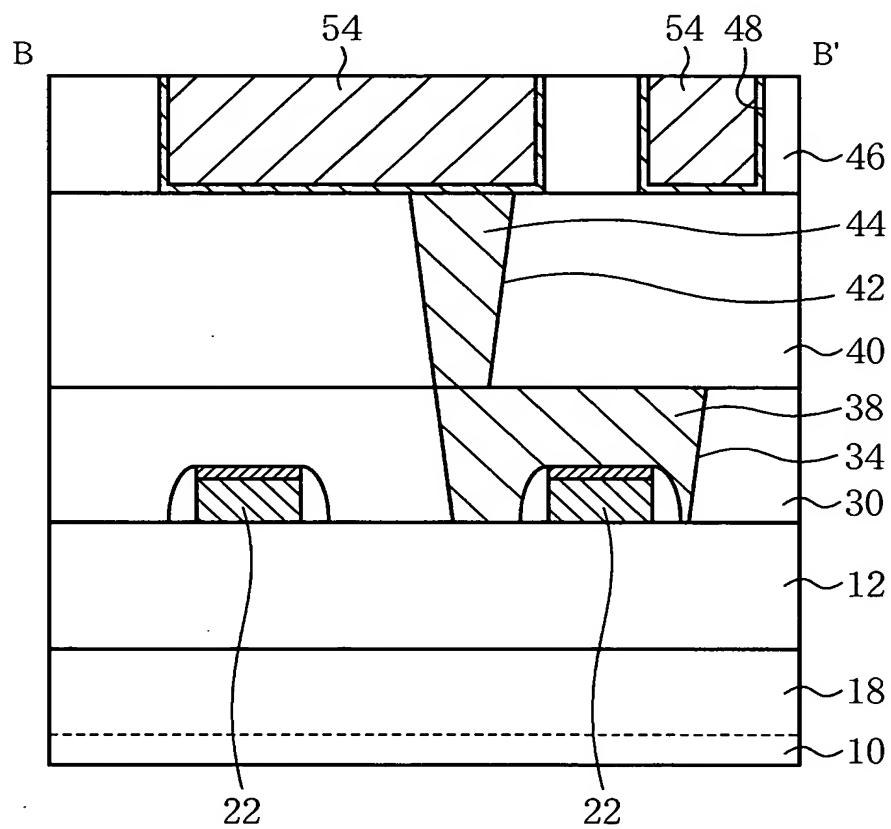
【図 8】

本発明の一実施形態による半導体装置の構造を示す平面図



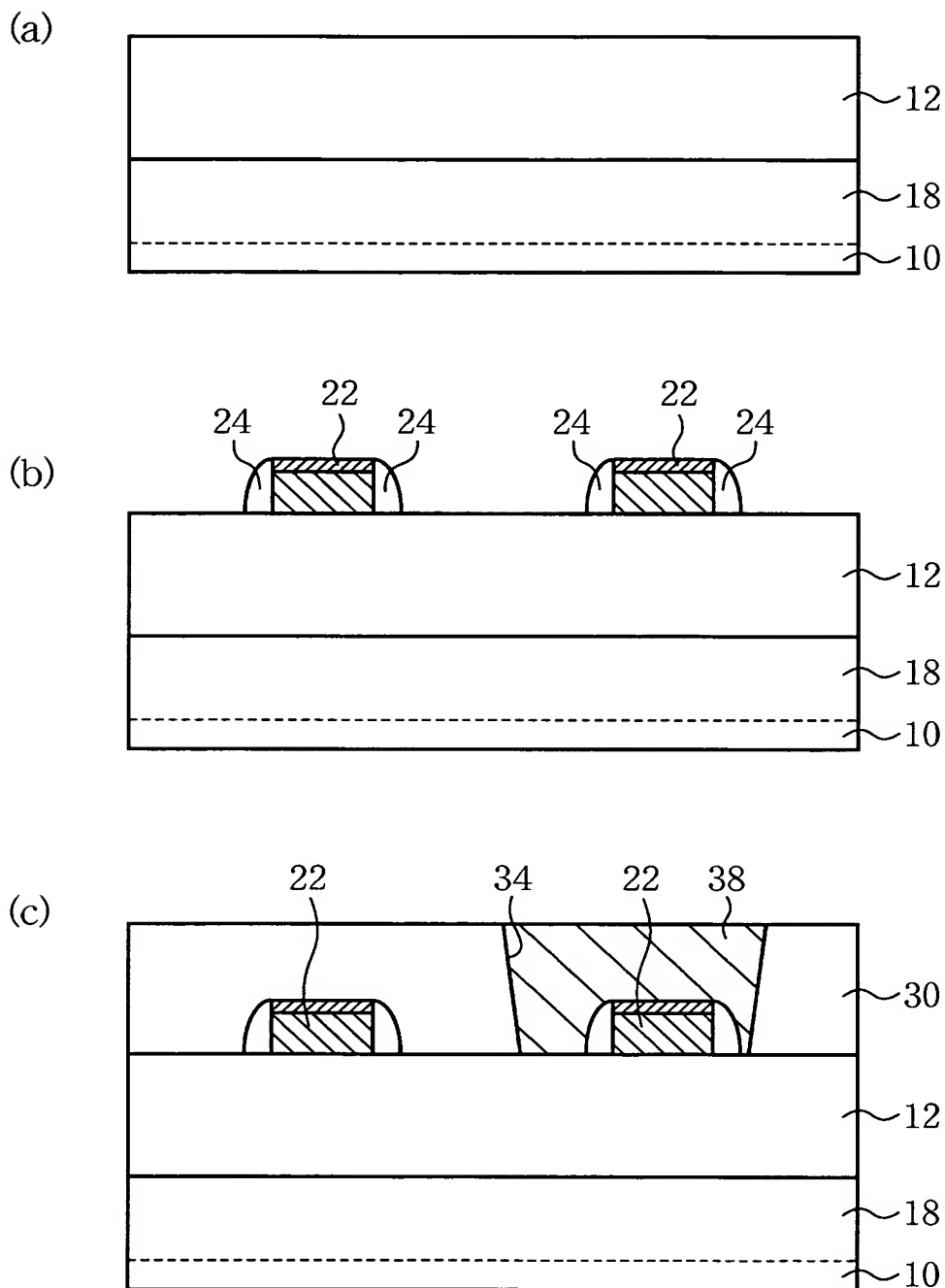
【図 9】

本発明の一実施形態による半導体装置の構造を示す概略断面図



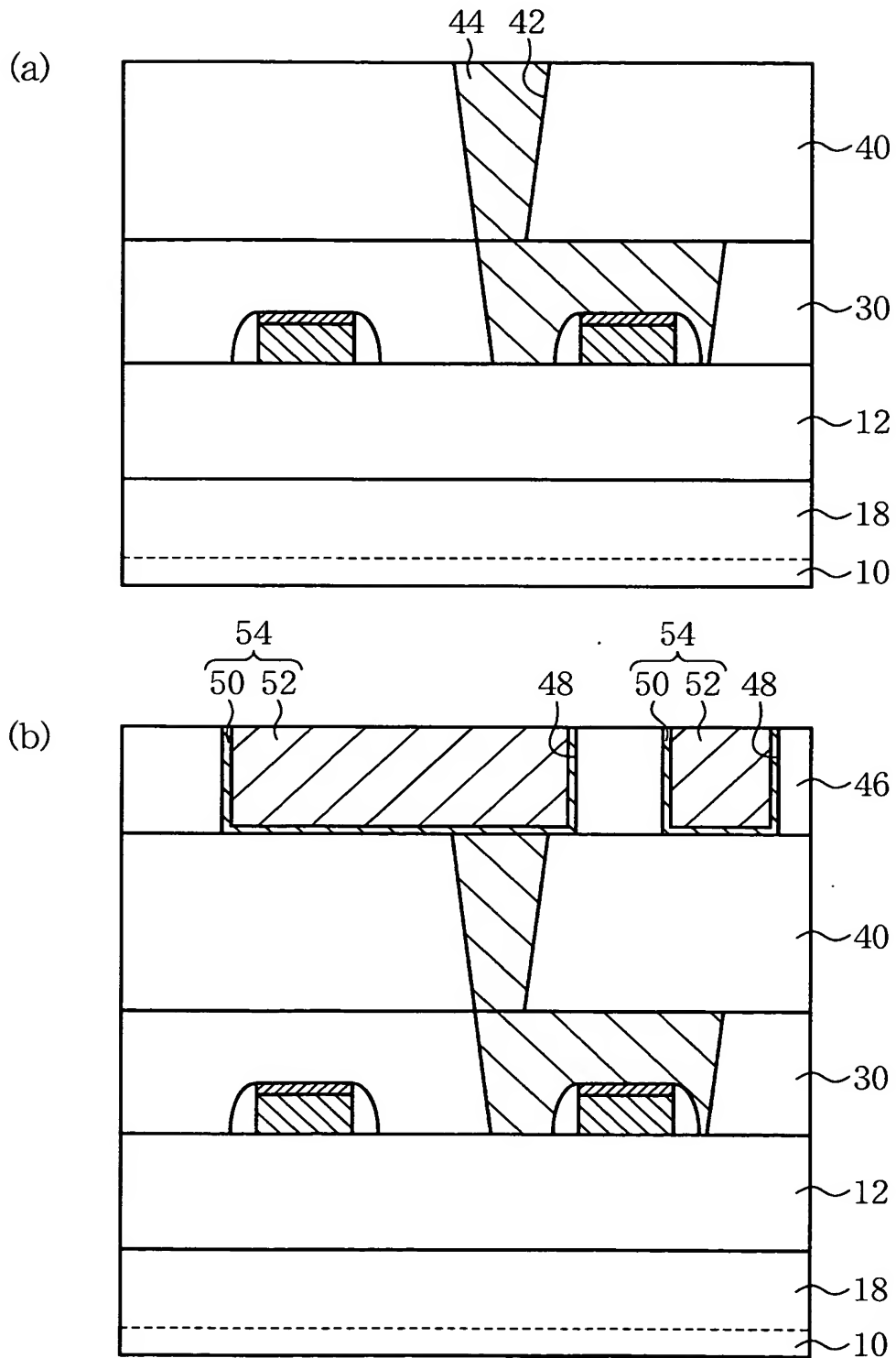
【図 10】

本発明の一実施形態による半導体装置の製造方法を示す
工程断面図（その1）



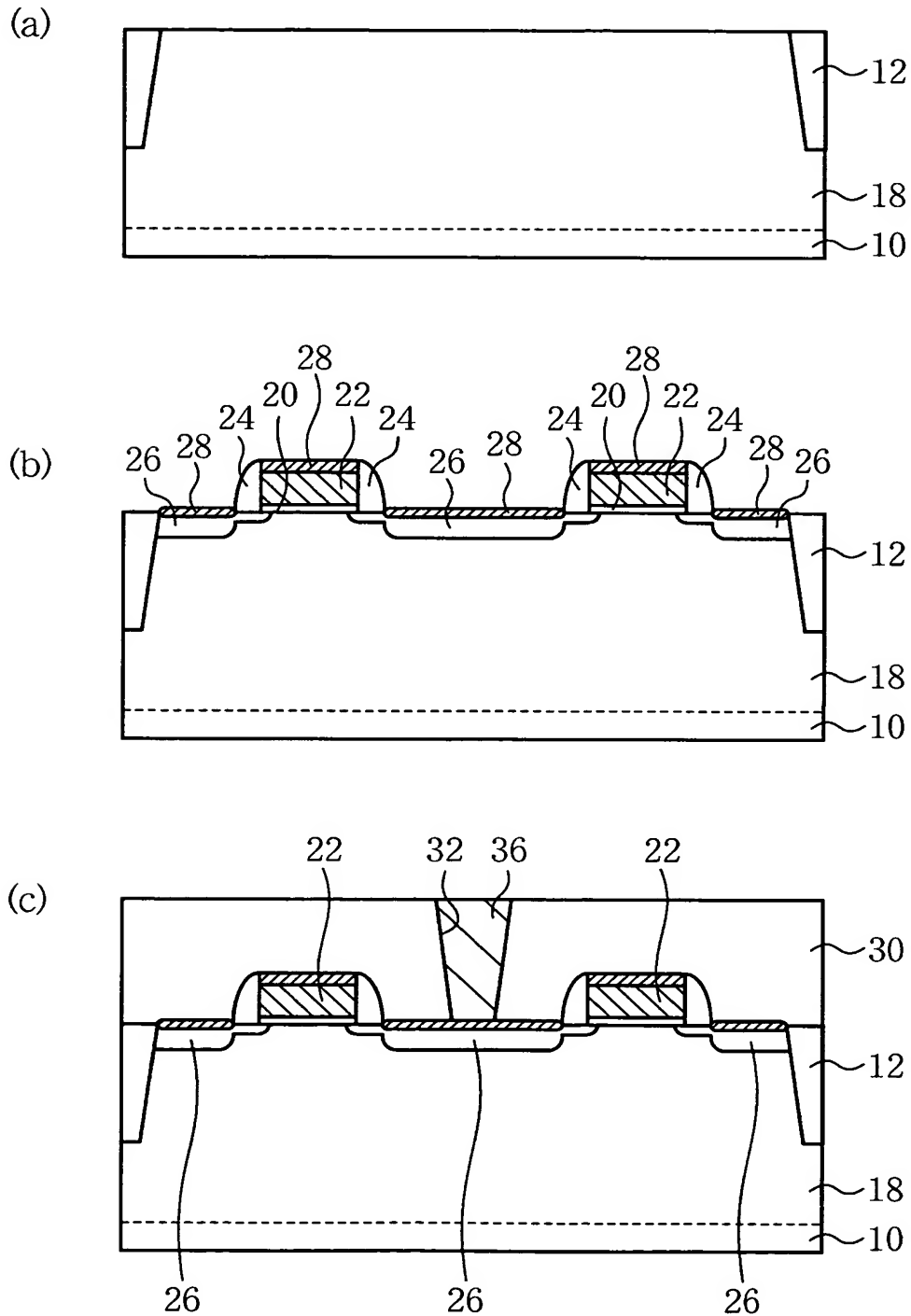
【図 11】

本発明の一実施形態による半導体装置の製造方法を示す
工程断面図（その2）



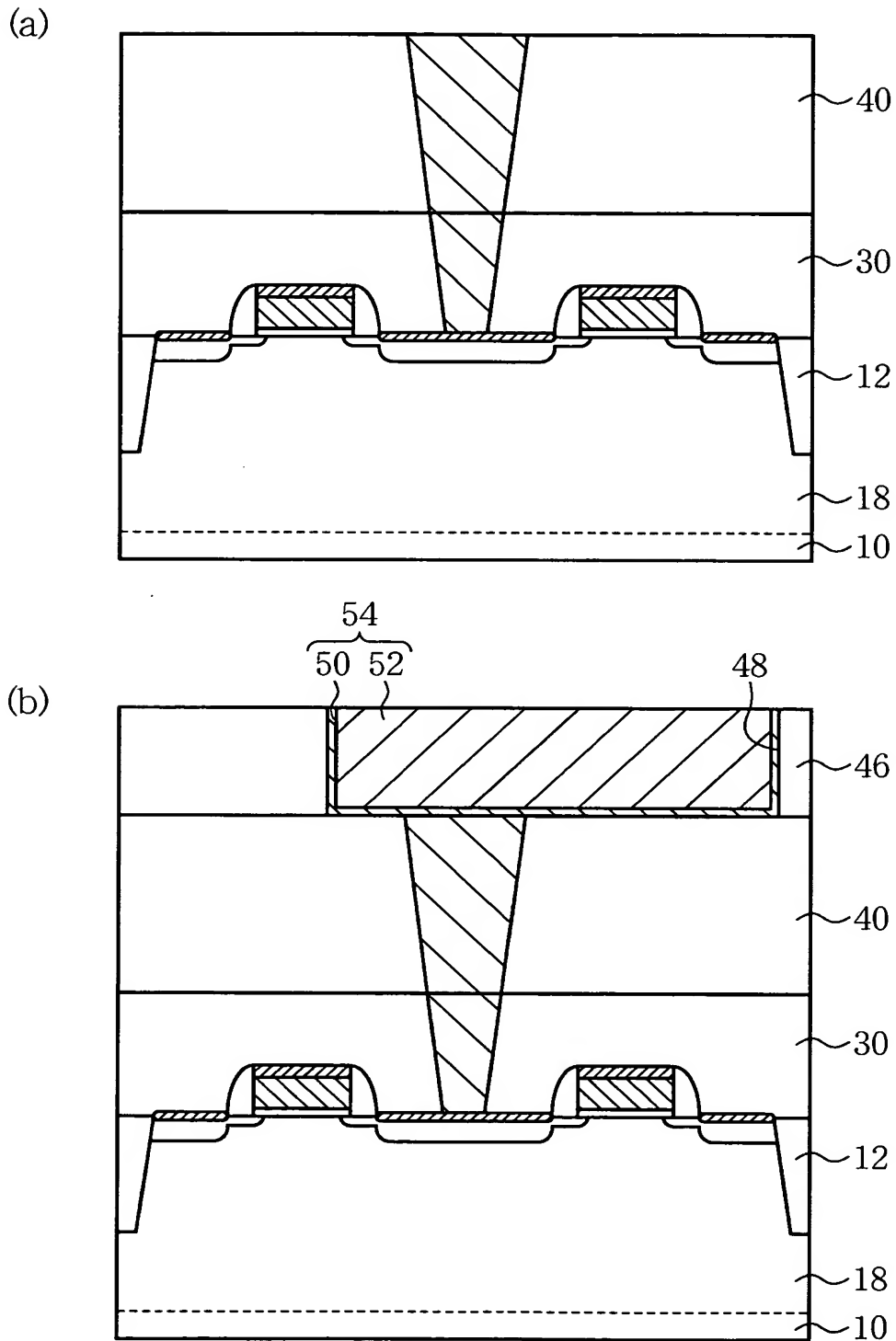
【図 12】

本発明の一実施形態による半導体装置の製造方法を示す
工程断面図 (その3)



【図13】

本発明の一実施形態による半導体装置の製造方法を示す
工程断面図（その4）



【書類名】 要約書

【要約】

【課題】 ダマシン配線の端部に接続されるコンタクトの接続不良を防止しうる半導体装置及びその製造方法を提供する。

【解決手段】 下層絶縁膜に形成された配線溝に埋め込まれた配線層と、配線層の端部に達するコンタクトホールが形成された上層絶縁膜とを有する半導体装置において、配線層を形成するための主配線パターン 1 0 0 の端部に、主配線パターン 1 0 0 の延在方向に対して垂直方向に延伸する延伸部 1 0 4 を設けたパターンを用い、配線溝を形成する。これにより、素子の集積度を低下することなく露光時の近接効果によるパターン端部の後退を補償することができる。

【選択図】 図 2

特願 2002-379569

出願人履歴情報

識別番号

[000005223]

1. 変更年月日

1990年 8月24日

[変更理由]

新規登録

住 所

神奈川県川崎市中原区上小田中1015番地

氏 名

富士通株式会社

2. 変更年月日

1996年 3月26日

[変更理由]

住所変更

住 所

神奈川県川崎市中原区上小田中4丁目1番1号

氏 名

富士通株式会社